

空間解耦模組運算架構

v2.0 / 2026-07-29 / Neo.K (許筌崴) / 公開概念技術論文／可驗證架構提案

證據狀態：E0 架構提案；尚未完成整合原型、第三方 CFD／結構／訊號完整性驗證或量產資格化

<https://thisoneisneok.com/html/papers/ccp-05.html>

SECTION

樓梯式、環形與螺旋式佈局的熱—電—互連協同設計

Spatially Decoupled Modular Compute Architecture

Thermal-Power-Interconnect Co-Design for Staircase, Annular, and Helical Layouts

作者：Neo.K (許筌崴)

機構：一言諾科技有限公司 (EveMissLab)，台灣

原始版本：2025 年 12 月

公開修訂版：v2.0，2026 年 7 月 29 日

文件性質：公開概念技術論文／可驗證架構提案

建議縮寫：SDMCA (Spatially Decoupled Modular Compute Architecture，空間解耦模組運算架構)

系列定位：立體運算主幹；銜接 SynCore、DPCPS、DryCore 與後續拓撲計算系統

證據狀態：E0 架構提案；尚未完成整合原型、第三方 CFD／結構／訊號完整性驗證或量產資格化

論文授權：CC BY-SA 4.0；CAD、PCB、韌體、測試資料與製造文件於實際釋出時另行指定授權

SECTION

修訂聲明

本文由《立體運算的工程實作路徑：樓梯形與螺旋渦輪架構》重構而來。原稿的重要洞察是：當運算系統從平面走向三維時，不應只追求把更多熱源垂直壓縮在一起，而應重新設計每個模組的散熱出口、供電路徑、資料通道、維修空間與故障邊界。原稿提出的樓梯式錯位與螺旋式排列，提供了一種把「立體」理解為系統空間編排，而非只理解為裸晶垂直堆疊的起點。

然而，原稿混合了裸晶、封裝、主板、機箱與資料中心五個尺度，並將多項未執行的 CFD、成本、TRL、性能倍率及量產時程寫成既成結果。部分物理機制亦需要修正：垂直堆疊不必然使每一層熱量依序流經上層；錯位模組也不能用斜向 TSV 跨越數毫米至數公分；靜止的螺旋外殼不會自動產生離心散熱；物理距離縮短也不必然等比例降低系統延遲；密度、性能、功率與成本增益不能直接相乘。

v2.0 因此進行以下重構：

- 把「立體運算」分成封裝級、模組級、機箱級與機櫃級四個尺度，每個尺度使用不同的互連、冷卻與製造技術。
- 將樓梯式與螺旋式從晶片形狀改為模組佈局族。它們是幾何候選解，不是固定產品外形，更不是自動帶來性能增益的物理定律。
- 移除斜向 TSV、錐形光刻一次成形數公分互連與「垂直蟲洞」等不適用機制。封裝內可使用 hybrid bonding、TSV、RDL 與 UCIe 類介面；板級與機箱級則使用背板、線纜、光電模組、retimer 或經驗證的近距離介面。
- 將熱模型從獨立標量熱阻改為耦合熱阻矩陣，承認模組之間仍會透過空氣、結構、冷板與匯流排互相影響。
- 將螺旋渦輪改為環形／螺旋模組艙。若需要旋流，必須由風扇、葉片或泵提供壓升；幾何本身不創造免費的離心輸運。
- 刪除所有未有原始模型與邊界條件支撐的 CFD 數字、12 倍總性能、200 倍機櫃密度、固定成本與 2026–2030 量產承諾。
- 將產品價值改為可測量的系統指標：同等噪音與進氣溫度下的熱節流減少、每單位體積有效算力、維修時間、故障隔離、互連能耗與全生命週期成本。
- 正式接入 DPCPS 與 DryCore：DPCPS 管理分布式近負載供電，DryCore 管理隔離熱路徑、冷端與污染控制。
- 加入拓撲感知排程、機械可靠度、測試可及性、已知良品模組、證據分級與可否證 MVP。
- 保留樓梯與螺旋作為設計語彙，但取消其宇宙必然性與哲學優越性。形狀是約束的具象化，不是性能證明。

因此，新版不再宣稱已經找到取代平面處理器的唯一形狀，而是提出一套可比較、可模擬、可製造、可維修與可被否證的空間模組化方法。

SECTION

摘要

先進運算系統正同時面臨四種耦合壓力：運算與記憶體頻寬需求增加、封裝內互連密度提高、功率傳輸路徑縮短，以及局部熱通量與系統維護複雜度上升。2.5D、3DIC、hybrid bonding 與 chiplet 技術已證明，異質元件可以透過先進封裝在更小距離內整合；但整合密度提高並不自動解決熱、翹曲、供電、測試與良率問題。相反地，系統技術協同最佳化必須同時決定裸晶分割、互連介面、功率傳輸、熱路徑、封裝、冷卻與軟體映射。

本文提出空間解耦模組運算架構 SDMCA。其核心命題是：在封裝外與機箱內的尺度，運算模組不必全部共用同一平面、同一風道、同一冷板、同一電源區與同一故障域；系統可以透過受控的空間位移與拓撲連接，把高功率模組的熱出口、服務面與電力入口分開，同時保留足夠的資料局部性。本文將候選佈局分為三族：樓梯式佈局以錯位模組建立獨立服務面與橫向或液冷熱路徑；環形佈局將模組分布於中央匯流排或流體歧管周圍；螺旋式佈局在高度方向引入角位移，以換取更長的服務面、分區流道或可擴展的模組節距。三者都不是固定最佳解，必須依功率密度、互連半徑、冷卻方式、維修頻率與機械限制選擇。

本文建立四尺度架構：封裝級處理 hybrid bonding、TSV、RDL 與短距離 die-to-die 介面；模組級處理 chiplet 封裝、記憶體、近負載供電與冷板；機箱級處理背板、線纜、光電互連、風道、液路、服務面與故障隔離；機櫃級處理電力、冷卻液、網路與管理。熱行為以耦合熱阻矩陣描述，資料互連以帶寬、距離、能耗、序列化與拓撲擁塞共同評估，並以多目標最佳化在有效算力密度、尾端延遲、冷卻功率、聲學、可靠性、維修時間及成本之間求解。

SDMCA 不主張樓梯或螺旋本身可以產生 12 倍性能，也不主張成熟製程晶片只要重新排列就等效於先進製程。其可檢驗假說是：在相同模組、功率、冷卻設備與互連技術下，空間解耦佈局可能降低熱回流與局部節流、改善模組可維修性、提高已部署設備的有效利用率，並使供電、冷卻與故障控制更容易模組化。本文提出平面基線、四模組樓梯原型與六模組環形原型的比較方法，要求同時量測結溫、熱節流、壓降、泵／風扇功率、噪音、互連延遲、錯誤率、拆裝時間與失效傳播。

本文目前屬 E0 架構提案。若在公平基線下，樓梯或環形佈局不能降低熱耦合、不能改善服務性，或其互連與機械成本抵銷全部收益，則相應形狀應被否證、縮減為特定產品選項，或回退到平面模組化方案。

關鍵詞：立體運算、chiplet、3DIC、模組化運算、熱—電協同、熱感知佈局、UCle、hybrid bonding、冷板、環形背板、樓梯式佈局、螺旋式佈局、可維修性、故障隔離

1.1 「三維整合」至少包含四個尺度

「三維運算」常被混用來描述完全不同的工程問題。若不先區分尺度，就容易把封裝內可行的技術錯誤放大到機箱，或把機箱幾何誤當成裸晶互連。

本文定義四個尺度：

封裝級

典型距離從微米到毫米，對象包括：

- logic-on-logic ；
- logic-on-memory ；
- 計算 chiplet 與 I/O die ；
- hybrid bonding ；
- TSV ；
- RDL ；
- 矽橋與中介層 ；
- UCIe-3D 類 die-to-die 介面。

此尺度追求極高互連密度與低能耗，但也受熱通量、翹曲、對準、良率、測試與材料相容性限制。

模組級

典型距離從毫米到數公分，對象包括：

- 一個多晶粒封裝 ；
- HBM 或其他近端記憶體 ；
- 板上電壓調節器 ；

-
- 冷板、均熱板或熱虹吸蒸發器；
 - 管理控制器；
 - 高速連接器。

此尺度是 SDMCA 的最小實體單位。模組應盡可能成為可測試、可更換、可降級與可追蹤的故障域。

機箱級

典型距離從數公分到一公尺，對象包括：

- 多個運算模組；
- 背板、線纜或光電連接；
- 風道與液體歧管；
- 區域供電；
- 機械框架；
- 維修通道；
- 機箱管理。

樓梯、環形與螺旋主要屬於這一尺度。

機櫃級

典型距離從一公尺到數十公尺，對象包括：

- 機櫃匯流排；
- 冷卻液供回水；
- 網路交換；
- 管理平面；
- 儲存與記憶體池；

- 多機箱故障域。

在此尺度，幾何佈局的價值通常表現在纜線、冷卻、維修與部署，而不是裸晶級延遲。

因此：

3D integration

≠

單一種堆疊。

更完整的表述是：

cal-S_(3D)

=

cal-P_(package)

⊕

cal-M_(module)

⊕

cal-C_(chassis)

⊕

cal-R_(rack).

不同尺度之間可以協同，但不能用同一組製程、距離與熱模型描述。

SECTION

1.2 產業基線：先進封裝已是系統工程

TSMC 的 CoWoS 與 SoIC、Intel 的 Foveros 與 EMIB，以及 UCIe 對 chiplet 互連與 3D 封裝的標準化，說明產業已從「單一裸晶微縮」走向異質系統整合。這些平台的價值包括更高的封裝內頻寬密度、不同製程節點的組合，以及計算、I/O、記憶體與專用加速器的分割。

但這些平台也揭示一個重要事實：先進封裝不是只把晶片黏在一起。設計必須同時考慮：

- 裸晶分割；
- known-good-die 測試；

-
- die-to-die 介面；
 - 電源與接地；
 - 熱圖；
 - 封裝翹曲；
 - 機械應力；
 - 冷卻；
 - EDA 與系統管理。

因此，SDMCA 不以「產業仍停留在平面」作為前提。它的研究空間在於：當封裝與模組已完成後，機箱是否還能透過空間解耦改善熱、供電、維修與部署。

SECTION

1.3 高密度的真正成本

提高密度可能縮短部分互連，但也會增加：

- 局部熱通量；
- 熱耦合；
- 電源完整性難度；
- 結構與材料應力；
- 失效傳播；
- 測試盲區；
- 維修成本；
- 冷卻基礎設施需求。

因此，密度不是單向目標。本文定義有效密度：

$$D_{\text{(eff)}} = (W_{\text{(useful)}})/(V_{\text{(deployed)}}),$$

其中 $W_{\text{(useful)}}$ 是在功率、熱、可靠度與軟體利用率約束下真正完成的有效工作量，而不是峰值理論算力。

若系統因熱節流、故障、維護或通訊擁塞只使用一半設備，則名義密度再高也不代表有效密度更高。

SECTION

1.4 空間解耦的五個對象

SDMCA 所謂的「解耦」不是完全隔離，而是讓不同物理功能不必共用同一條最壞路徑。

五個主要對象為：

- 熱解耦：每個高功率模組具有可識別的主要熱出口。
- 供電解耦：不同區域可以配置獨立的近負載調節與保護。
- 資料解耦：高速、本地與管理流量使用不同介面與拓撲。
- 故障解耦：單一模組、冷卻支路或電源支路失效時，系統可降級而非整體失效。
- 服務解耦：更換模組不必拆除所有上層元件或排空整套液路。

這五者之間存在衝突。例如，增加機械間距有利於散熱與維修，卻可能增加互連長度；增加冷板共用面積可降低熱阻，卻可能擴大漏液故障域。因此需要多目標協同，而不是單一形狀崇拜。

SECTION

2.1 模組圖

令系統包含模組集合：

$$V=\{v_1,v_2,...,v_N\}.$$

每個模組 v_i 具有狀態：

$$S_{\text{box}} = (P_{\text{box}}, T_{\text{box}}, B_{\text{box}}, E_{\text{box}}, R_{\text{box}}, M_{\text{box}}),$$

其中：

- P_{box} ：功率與瞬態功率需求；
- T_{box} ：結溫、封裝溫度與冷卻介面溫度；
- B_{box} ：資料帶寬需求；
- E_{box} ：每位元或每筆交易能耗；
- R_{box} ：可靠度與健康狀態；
- M_{box} ：維修與可及性狀態。

系統同時包含四種邊：

$$G = (V, E_{\text{(data)}}, E_{\text{(power)}}, E_{\text{(thermal)}}, E_{\text{(service)}}).$$

同一對模組可以在資料上高度耦合，但在熱上盡量弱耦合；也可以共用管理匯流排，但不共用主功率支路。

SECTION

2.2 熱耦合矩陣

原稿把每一層視為完全獨立熱阻，這在實際系統中通常不成立。即使每個模組都有自己的散熱器，仍會透過：

- 共用進氣；
- 排氣回流；
- 機械框架；

- 背板銅層；
- 冷板與液體歧管；
- 輻射與鄰近對流；

產生交叉加熱。

穩態近似可寫成：

$$\Delta T = R_{\theta} P,$$

其中：

$$R_{\theta} = \begin{bmatrix} R_{(11)} & R_{(12)} & \dots & R_{(1N)} \\ R_{(21)} & R_{(22)} & \dots & R_{(2N)} \\ \dots & \dots & \dots & \dots \\ R_{(N1)} & R_{(N2)} & \dots & R_{(NN)} \end{bmatrix}.$$

$R_{(ii)}$ 是模組自身到環境或冷卻液的熱阻， $R_{(ij)}$ 則描述模組 j 的功率對模組 i 溫度的影響。

空間解耦的目標不是讓所有 $R_{(ij)}$ 精確等於零，而是降低關鍵高功率模組之間的交叉項：

$$\min_{\sum_{i \neq j} w_{(ij)} R_{(ij)}}.$$

對動態系統，可使用熱阻—熱容網路：

$$C_{\theta} \dot{T} + G_{\theta} T =$$

其中 $u_{\text{(cool)}}$ 表示風扇、泵、閥與冷卻液溫度等控制輸入。

SECTION

2.3 資料延遲與能耗

資料路徑延遲不能只由幾何長度決定。對一條連線 e ：

$$\begin{aligned} L_e &= \\ &L_{\text{(prop)}} \\ &+ \\ &L_{\text{(serdes)}} \\ &+ \\ &L_{\text{(retimer)}} \\ &+ \\ &L_{\text{(switch)}} \\ &+ \\ &L_{\text{(queue)}} \\ &+ \\ &L_{\text{(protocol)}}. \end{aligned}$$

其中傳播延遲只是其中一項。數公分的距離差，可能小於序列化、協定、交換與排隊延遲；反之，在封裝內極高頻寬介面中，微小距離與寄生仍非常重要。

每位元能耗可近似寫為：

$$\begin{aligned} \epsilon_e &= \\ &\epsilon_{\text{(PHY)}} \\ &+ \\ &\epsilon_{\text{(channel)}}(d_e) \\ &+ \\ &\epsilon_{\text{(retimer)}} \\ &+ \\ &\epsilon_{\text{(switch)}}. \end{aligned}$$

因此，樓梯或環形佈局只有在資料拓撲、通道損耗與交換層級同時改善時，才可能降低通訊成本。

SECTION

2.4 供電網路

模組 i 的負載端電壓偏差可抽象為：

$$\begin{aligned}\Delta V_i(\omega) &= \\ &Z_{\text{PDN},i}(\omega)I_i(\omega) \\ &+ \sum_{j \neq i} Z_{ij}(\omega)I_j(\omega).\end{aligned}$$

DPCPS 需要在 SDMCA 中提供：

- 區域匯流排；
- 近負載調節器；
- 局部去耦；
- 模組級電流與溫度量測；
- 支路隔離；
- 預測式功率配置；
- 故障時的快速限流與關斷。

空間模組化的價值之一，是讓每個模組的功率支路更容易被量測、限制與替換；但額外的連接器與匯流排也可能增加損耗，必須納入效率與可靠度比較。

SECTION

2.5 服務與維修成本

對可部署系統，平均修復時間與故障隔離能力可能比峰值密度更重要。定義服務成本：

$$\begin{aligned} C_{\text{(service)}} &= \\ &\alpha t_{\text{(diagnose)}} \\ &+ \\ &\beta t_{\text{(remove)}} \\ &+ \\ &\gamma t_{\text{(restore)}} \\ &+ \\ &\delta C_{\text{(collateral)}}, \end{aligned}$$

其中 $C_{\text{(collateral)}}$ 表示為更換一個模組而必須拆除其他模組、排空液路、重新校準或停機的附帶成本。

樓梯式架構的主要可檢驗價值之一，就是降低：

$$\begin{aligned} &t_{\text{(remove)}} \\ &+ \\ &C_{\text{(collateral)}}. \end{aligned}$$

SECTION

3.1 定義

樓梯式佈局不是把裸晶切成樓梯，而是讓模組沿一個或兩個方向產生受控位移：

$$\begin{aligned} x_{\Box} &= \\ &(i\Delta x, 0, i\Delta z) \end{aligned}$$

或

$$\begin{aligned} x_{\text{(i,j)}} &= \\ &(i\Delta x, j\Delta y, (i+j)\Delta z). \end{aligned}$$

其中 Δx 、 Δy 與 Δz 由以下條件決定：

- 冷板或散熱器厚度；
- 接頭與線纜彎曲半徑；
- 服務工具空間；
- 背板介面；
- 結構強度；
- 模組重量；
- 可接受互連長度。

它可以表現為斜坡、抽屜、金字塔或雙面階梯，但這些只是產品外形，不改變其核心原則。

SECTION

3.2 熱路徑

樓梯式佈局可採三種熱路徑。

獨立橫向風道

每個模組具有獨立或半獨立進氣與排氣。設計重點不是「熱完全互不干擾」，而是避免下游模組直接吸入上游高溫排氣。

需要量測：

- 入口溫度分布；
- 排氣再循環率；
- 風道壓降；
- 風扇工作點；
- 模組間熱耦合；
- 濾網髒堵後性能。

共用冷卻液、獨立冷板支路

每個模組使用 DryCore 或標準冷板，支路連接共用歧管。可採並聯、串並聯或主動閥控。

並聯流量近似滿足：

$$\begin{aligned} \Delta p_{\Box}(Q_{\Box}) \\ &= \\ \Delta p_{\Box}(Q_{\Box}) \\ &= \\ \dots \\ &= \\ \Delta p_N(Q_N), \end{aligned}$$

總流量為：

$$\begin{aligned} Q_{\text{(tot)}} \\ &= \\ \sum \Box Q_{\Box}. \end{aligned}$$

需要避免低阻支路奪流、氣泡滯留、接頭負載與維修時全系統排液。

獨立密封熱擷取、外部冷端

每個模組透過熱管、均熱板或兩相熱虹吸把熱傳到可維修冷端。這最符合 DryCore 的服務邊界，但需要評估姿態、啟動、熱通量與長期密封。

SECTION

3.3 互連

樓梯式模組不使用斜向 TSV 跨越機箱距離。互連應依尺度選擇：

- 封裝內：hybrid bonding、TSV、RDL、UCle-3D；
- 同一模組板：短距離平行或高速 SerDes；

- 相鄰模組：高密度正交連接器、短線纜或光電模組；
- 跨多階：交換晶片、光纖或專用背板；
- 管理與遙測：低速冗餘管理網路。

若相鄰階具有高流量，應優先把交換、記憶體或資料生產者放在拓撲中心，而不是假設資料永遠只從底層單向流到頂層。

SECTION

3.4 適合的工作負載

樓梯形幾何不等於流水線計算，但可以支援具有方向性的資料流，例如：

- 感測輸入、前處理、推理與控制；
- 編解碼與媒體處理；
- 儲存、壓縮與網路封包處理；
- 模型服務中的前處理、加速器與後處理；
- 實驗設備中的資料擷取、重建與分析。

是否有效取決於資料圖是否與物理拓撲相符。令工作負載圖為：

$$G_W = (V_W, E_W),$$

硬體拓撲為：

$$G_H = (V_H, E_H).$$

映射函數：

$$\pi: V_W \rightarrow V_H$$

應最小化：

$$\begin{aligned}
& J_{\text{map}} \\
& = \\
& \sum_{(u,v) \in E_W} b_{uv} L_{\text{map}}(\pi(u), \pi(v)) \\
& + \\
& \lambda C_{\text{congestion}} \\
& + \\
& \mu C_{\text{thermal}}.
\end{aligned}$$

SECTION

3.5 優勢與限制

可能優勢：

- 模組頂面或側面較容易接觸冷板；
- 可建立獨立服務面；
- 更換下層模組時不必拆除所有上層；
- 可將高功率模組與敏感 I/O 分區；
- 易於建立模組級供電與故障隔離。

主要限制：

- 機械框架與外殼體積增加；
- 背板與線纜長度不一定最短；
- 重心、振動與運輸衝擊更複雜；
- 若風道設計不當，仍可能形成排氣回流；
- 高速連接器與接頭數量增加；
- 模組錯位可能降低單純幾何填充率。

因此樓梯式不是「密度最大化」方案，而是服務性、熱出口與模組邊界的平衡方案。

SECTION

4.1 先區分環形與螺旋

環形佈局的模組位於近似相同高度，沿中央軸排列：

$$\begin{aligned} x_{\theta} &= \\ &(R\cos\theta_{\theta}, R\sin\theta_{\theta}, z_{\theta}). \end{aligned}$$

螺旋佈局則同時改變角度與高度：

$$\begin{aligned} x_{\theta} &= \\ &(R\cos\theta_{\theta}, R\sin\theta_{\theta}, z_{\theta} + h\theta_{\theta}). \end{aligned}$$

環形適合：

- 中央電力或液體歧管；
- 周向對稱服務；
- 多個等價模組；
- 中央交換或管理脊椎。

螺旋適合：

- 模組需要高度錯位；
- 服務面需要連續展開；
- 風道或管路需要逐級分區；
- 機械裝配希望沿單一路徑進行。

不應在沒有必要時使用真正螺旋。螺旋會增加製造、線纜、結構與校準複雜度；若環形或多面柱已能滿足需求，應優先採用較簡單方案。

SECTION

4.2 中央脊椎

中央區域可以容納：

- 電力匯流排；
- 液體供回歧管；
- 光纖或電背板；
- 管理控制器；
- 交換器；
- 安全關斷與漏液監測。

但中央脊椎不應成為單一不可維修故障點。至少需要：

- 分段匯流排；
- 雙路管理；
- 支路閥與止回；
- 支路保險與電子斷路；
- 可旁路交換；
- 模組熱插拔定序；
- 壓力與流量平衡。

SECTION

4.3 旋流不是免費散熱

若空氣只是流經靜止的螺旋外殼，系統不會憑空獲得持續的離心壓升。旋流必須由風扇、鼓風機、葉片或切向入口建立，壓力提升來自外部功。

風扇功率近似為：

$$P_{\text{fan}} = (\Delta p Q) / (\eta_{\text{fan}}).$$

增加旋流可能：

- 改善部分表面的混合；
- 延長流路；
- 均化周向溫度；

但也可能：

- 增加壓降；
- 引入二次流與死區；
- 增加噪音；
- 使灰塵分離與沉積位置變得複雜；
- 降低風扇效率。

因此，「渦輪」只能作為經 CFD 與實驗驗證的流道選項，不是螺旋形狀的必然效果。

SECTION

4.4 液冷比空氣旋流更適合高功率環形模組

對高功率模組，環形架構更合理的路徑通常是：

- 中央供液；
- 周向短支路；
- 每模組獨立冷板；
- 外圈回液；

- 支路流量感測與閥控。

模組吸熱量為：

$$\begin{aligned} \dot{Q} &= \\ &\dot{m} c_p \\ & (\\ & T_{\text{(out,i)}} \\ & - \\ & T_{\text{(in,i)}} \\ &). \end{aligned}$$

中央歧管必須使不同角度模組獲得接近的入口壓力與溫度，並避免最遠支路流量不足。

若採兩相冷卻，還需處理：

- 流動不穩定；
- 乾涸；
- 壓降；
- 蒸氣分配；
- 冷凝回流；
- 姿態與啟動；
- 支路間耦合。

SECTION

4.5 周期拓撲的真實價值

環形連接可形成週期邊界：

$$\begin{aligned} v & \\ & \leftrightarrow \\ & v_{((i+1) \bmod N)}. \end{aligned}$$

其直徑約為：

$$D_{\text{ring}} = \frac{N}{2}$$

單純環形並不比所有拓撲都快。若需要低直徑，可加入：

- 中央交換；
- 弦連接；
- 雙環；
- 小世界跳接；
- 分層 Clos；
- 光交換。

因此，螺旋的通訊價值不在「垂直蟲洞」，而在於它提供規則模組節距與可設計的周向、徑向及軸向連接。

SECTION

4.6 優勢與限制

可能優勢：

- 模組到中央供電、冷卻或交換的距離較均勻；
- 可沿周向增加或替換模組；
- 適合等價加速器或記憶體節點；
- 可建立多個獨立扇區故障域；
- 外圈服務面積較大。

主要限制：

- 中央脊椎可能形成瓶頸；
- 外殼與框架複雜；
- 模組與連接器需要角度或曲面適配；
- 風冷死區與高壓降風險；
- 真正螺旋的裝配公差與線纜管理困難；
- 震動、運輸與地震荷載需專門驗證。

SECTION

5.1 封裝內互連

先進封裝可使用：

- hybrid bonding；
- micro-bump；
- TSV；
- RDL；
- silicon bridge；
- passive／active interposer；
- UCIe-3D 或專用 die-to-die PHY。

此處可追求高互連密度與低每位元能耗，但每增加一層都需要重新分析熱、功率、時序、良率與測試。

SECTION

5.2 模組間電互連

在數公分尺度，候選包括：

-
- 高速差分背板；
 - twinax；
 - mezzanine connector；
 - cable assembly；
 - retimer；
 - PCIe／CXL 類連接；
 - 專用低延遲 fabric。

設計必須以眼圖、插入損耗、回波損耗、串擾、抖動與 BER 驗證，不能只以幾何最短路徑判定。

SECTION

5.3 光互連

光互連可能降低長距離電通道損耗並提供高帶寬，但它不等於「光不導熱，所以完全沒有熱橋」。光模組仍包含：

- 雷射；
- 調變器；
- 驅動器；
- 接收器；
- DSP；
- 耦合器；
- 封裝與溫控。

光互連適合：

- 跨多模組；
- 高帶寬長距離；

- 需要電氣隔離；
 - 電通道損耗或連接器數量過高；
- 但未必適合最低延遲的相鄰模組。

SECTION

5.4 柔性 PCB 與彈簧接點

柔性 PCB 可以吸收機械位移並支援曲面佈局，但高速性能取決於：

- 材料損耗；
- 層疊；
- 參考平面連續性；
- 彎曲半徑；
- 連接器；
- 製造變異；
- 彎折壽命。

Pogo pin 適合測試、低速管理或特定可更換模組，不應在未驗證 SI/PI 的情況下作為高頻寬主互連。

SECTION

5.5 管理與測試網路

每個模組應具有獨立於主資料面的管理通道，用於：

- 身分與韌體版本；
- 溫度、電流、流量與壓力；
- 錯誤計數；
- 邊界掃描與自我測試；

- 熱插拔定序；
- 安全關斷；
- 壽命與維修紀錄。

UCle 2.0 將管理、測試、遙測與除錯納入多 chiplet 系統考量，顯示可管理性不是封裝完成後才補上的功能。SDMCA 將相同原則延伸到模組與機箱。

SECTION

6.1 DPCPS：空間供電

SDMCA 提供可辨識的模組與支路，DPCPS 則決定：

- 哪些區域調節器啟動；
- 每個模組的功率上限；
- 局部去耦與儲能；
- 支路限流；
- 故障隔離；
- 工作負載前饋。

整合關係為：

機櫃匯流排

→

區域轉換

→

模組近負載供電

→

封裝 PDN.

樓梯式可沿階梯分區供電；環形可沿扇區供電。任何形狀都必須避免單一中央節點失效導致全系統掉電。

SECTION

6.2 DryCore：空間散熱

DryCore 提供：

- 模組熱脊；
- 可服務的外部冷端；
- 雙區污染控制；
- 被動兩相熱傳輸選項；
- 露點、漏液與硬體互鎖。

在樓梯式佈局中，DryCore 冷端可沿側面排列；在環形佈局中，冷板支路可連接中央或雙環歧管。

SDMCA 不要求所有模組使用同一冷卻方式。低功率 I/O 可風冷，高功率加速器可液冷，儲存模組可採獨立溫控。

SECTION

6.3 DEO：運作包絡

DEO 可把空間與熱狀態納入包絡決策。例如：

- 某扇區入口溫度升高；
- 某液冷支路流量下降；
- 某階模組熱耦合增加；
- 某電源支路接近電流上限；

系統可降低相應模組包絡、遷移工作負載或使用其他模組的爆發餘裕。

SECTION

6.4 SynCore：邏輯與物理拓撲

SynCore 的神核、流動或混合模式不應假設所有執行單元位於同一物理距離。若跨模組協同，必須把：

- 同步延遲；
- 資料局部性；
- 一致性；
- 容錯；
- 記憶體位置；
- 拓撲擁塞；

納入模式選擇。

較合理的分層是：

- 封裝內進行最緊密的融合；
- 模組間進行較粗粒度工作共享；
- 機箱間進行任務、記憶體或資料流分配。

SECTION

6.5 統一控制迴路

整體控制可表示為：

遙測

→

狀態估計

→

拓撲與熱預測

→

DEO 包絡

→

SynCore 模式;

DPCPS 功率配置;

控制器不應直接覆蓋硬體保護。過溫、過流、漏液、風扇失效與泵失效必須具有獨立安全路徑。

SECTION

7.1 目標函數

令設計變數為：

$$\theta = (\text{模組位置、角度、間距、互連、冷卻、供電、材料、控制}).$$

多目標成本為：

$$J(\theta) = w_{TJ_T} + w_{LJ_L} + w_{EJ_E} + w_{VJ_V} + w_{RJ_R} + w_{SJ_S} + w_{CJ_C}.$$

其中：

- J_T ：溫度、熱耦合與節流；
- J_L ：延遲與擁塞；

- J_E：運算、互連與冷卻能耗；
- J_V：體積與重量；
- J_R：可靠度與失效傳播；
- J_S：服務與維修成本；
- J_C：製造與生命週期成本。

不同產品權重不同。桌面工作站可能重視噪音與升級；邊緣設備重視重量與震動；資料中心重視有效密度、服務時間與設施效率。

SECTION

7.2 約束

典型約束包括：

$$T_{\Box}(t) \leq T_{(i, \max)},$$

$$\Delta V_{\Box}(t) \in [-V_{(i, \text{droop})}, V_{(i, \text{overshoot})}],$$

$$\text{BER}_e \leq \text{BER}_{(\max)},$$

$$\sigma_{(\text{mech})} \leq \sigma_{(\text{allow})},$$

$$\Delta p \leq \Delta p_{(\max)},$$

$$L_{(\text{sound})} \leq L_{(\max)},$$

$$t_{(\text{service})} \leq t_{(\max)}.$$

SECTION

7.3 不把增益相乘

原稿使用：

```
G_(total)
=
G_(therm)
G_(conn)
G_(dense)
```

得到固定總倍率。這種做法容易重複計數。例如，熱改善帶來的性能增加可能已經反映在利用率；密度增加也可能增加熱節流與互連擁塞。

新版使用完整系統量測：

```
η_(sys)
=
(W_(useful))/(E_(compute)
+
E_(network)
+
E_(cool)
+
E_(power)).
```

並比較：

- 相同功率下的有效工作量；
- 相同噪音下的有效工作量；
- 相同體積下的持續性能；
- 相同可用度下的生命週期成本。

SECTION

7.4 帕累托前沿

不存在對所有用途都最好的形狀。應尋找帕累托前沿：

```
cal-P
=
{
  θ:
    not exists θ'
    在所有目標不劣且至少一項更優
}.

```

可能結果是：

- 平面方案成本最低；
- 樓梯方案維修最好；
- 環形方案供液最均勻；
- 螺旋方案只在特定外形或連續服務面下有利。

這種結果不是失敗，而是有效工程結論。

SECTION

8.1 模組化不等於容易製造

每增加一個可更換模組，系統也增加：

- 連接器；
- 接頭；
- 公差鏈；
- 緊固件；
- 密封；
- 韌體版本；

-
- 測試步驟；
 - 人為裝配錯誤。

因此模組化必須以標準接口和自動測試抵銷其複雜度。

SECTION

8.2 已知良品與分階段測試

建議測試階層：

- 裸晶／封裝 known-good-die；
- 模組電性與冷卻介面測試；
- 背板與通道合規；
- 機箱級功率與熱測試；
- 故障注入；
- 運輸與振動；
- 長時間老化；
- 現場可維修性演練。

測試可及性必須在幾何設計初期保留，而不是完成螺旋外殼後才尋找探針位置。

SECTION

8.3 機械載荷

需要考慮：

- 自重；
- 冷板與管路拉力；
- 連接器插拔力；

- 熱膨脹；
- 風扇振動；
- 運輸衝擊；
- 地震；
- 長期蠕變；
- 軟管脈動。

模組位移可寫為：

$$\begin{aligned} K_u \\ = \\ F_{\text{(static)}} \\ + \\ F_{\text{(thermal)}} \\ + \\ F_{\text{(dynamic)}}. \end{aligned}$$

高速連接器、光耦合器與冷板接觸壓力都可能受到位移影響。

SECTION

8.4 故障模式

最低 FMEA 應包含：

- 模組過溫；
- 冷板接觸不良；
- 漏液；
- 支路堵塞；
- 風扇或泵失效；

-
- 背板通道失效；
 - 連接器鬆脫；
 - 電源支路短路；
 - 管理網路中斷；
 - 韌體版本不相容；
 - 感測器漂移；
 - 模組拆裝錯位。

每種故障需定義：

- 偵測方式；
- 安全反應；
- 隔離範圍；
- 降級模式；
- 修復程序；
- 重新資格化條件。

SECTION

8.5 散熱與互連共設計

銅互連、背板與機械支撐同時也是熱橋；低導熱結構又可能降低接地、剛性或屏蔽。不能簡單宣稱「資料可通過而熱完全不通過」。

合理策略包括：

- 將高導熱結構導向冷端；
- 在敏感方向使用熱中斷；
- 分離主資料通道與機械支撐；

-
- 使用光互連降低部分電熱耦合；
 - 透過材料與幾何共同最佳化；
 - 以實測熱矩陣取代理想絕熱假設。

SECTION

9.1 硬體拓撲必須可見

作業系統與執行環境至少需要知道：

- 模組距離與頻寬；
- 記憶體位置；
- 冷卻支路；
- 電源支路；
- 熱耦合；
- 故障域；
- 當前健康狀態；
- 維修與降級狀態。

拓撲不應只是一個靜態 NUMA 表。它會隨：

- 模組熱插拔；
- 通道降速；
- 冷卻故障；
- 功率限制；
- 工作負載；
- 維修；

而動態改變。

SECTION

9.2 熱感知與資料感知排程

排程成本可寫成：

```
C_(sched)
=
w⊠C_(data)
+
w⊠C_(thermal)
+
w⊠C_(power)
+
w⊠C_(fault)
+
w⊠C_(migration).
```

若只把工作移到最冷模組，可能增加大量資料搬移；若只追求資料局部性，可能形成持續熱點。控制器應在時間尺度上分層：

- 微秒至毫秒：硬體節流與局部 DVFS；
- 毫秒至秒：DEO 包絡與程序排程；
- 秒至分鐘：工作遷移與冷卻控制；
- 小時至天：維修、老化與容量規劃。

SECTION

9.3 流水線映射

若工作負載本身接近 DAG，可使用樓梯式方向映射。但需要驗證：

-
- 階段是否平衡；
 - 回邊比例；
 - 中間資料量；
 - 批次與延遲要求；
 - 故障恢復；
 - 動態工作負載變化。

對高度全互連或 collective-heavy 的 AI 訓練，單一鏈式樓梯通常不是合適拓撲；可能需要中央交換、Clos、torus 或光網路。

SECTION

9.4 軟體可攜性

第一代原型不應要求全新 ISA。可使用：

- Linux 拓撲與 NUMA；
- PCIe／CXL 裝置；
- 容器與作業調度器；
- 管理控制器；
- 遙測匯流排；
- 使用者態拓撲庫。

專用執行環境只在證明現有軟體無法表達必要控制後再建立。

SECTION

10.1 研究問題

第一個 MVP 只回答三個問題：

-
- 在相同運算模組、總功率與冷卻硬體下，樓梯或環形佈局能否降低熱耦合與節流？
 - 幾何改變是否改善模組拆裝、故障隔離與維修時間？
 - 額外互連、風道、框架與控制成本是否抵銷收益？

不在第一階段驗證：

- 新 CPU 微架構；
- SynCore 核心融合；
- AOCLS 製造；
- 光子主互連；
- 12 倍性能；
- 原子級封裝。

SECTION

10.2 三組公平基線

B0：平面基線

- 四個相同加熱器或 COTS 加速模組；
- 同一平面；
- 共用風道或冷板；
- 相同總體積上限；
- 相同電源與網路。

B1：四模組樓梯

- 相同模組；

-
- 可調 Δx 與 Δz ；
 - 獨立服務面 ；
 - 橫向風道或獨立冷板支路 ；
 - 相同總冷卻設備 。

B2：六模組環形

- 模組沿中央脊椎排列 ；
- 分區供電 ；
- 中央或雙環歧管 ；
- 可替換扇區 ；
- 不使用未驗證的自然渦輪效應 。

若需要研究真正螺旋，作為 B3 第二階段，且只改變高度與角位移，不同時更換風扇、冷板與模組。

SECTION

10.3 量測

熱：

- 晶片或加熱器溫度 ；
- 模組入口與出口溫度 ；
- 熱耦合矩陣 ；
- 穩態與瞬態 ；
- 熱節流時間 ；
- 冷卻液流量與壓差 。

能源：

-
- 模組功率；
 - 風扇或泵功率；
 - 電源轉換損耗；
 - 每單位有效工作量能耗。

互連：

- 吞吐量；
- p50、p95、p99 延遲；
- BER；
- 重傳；
- 連接器溫升；
- retimer 功率。

聲學與機械：

- 聲功率或規範化聲壓；
- 振動；
- 位移；
- 接觸壓力；
- 管路與線纜應力。

服務：

- 故障定位時間；
- 模組拆除時間；
- 恢復時間；
- 必須拆除的旁系模組數；

-
- 是否需要排液；
 - 重新校準時間。

SECTION

10.4 實驗控制

所有幾何比較必須保持：

- 相同模組；
- 相同韌體與工作負載；
- 相同總輸入功率；
- 相同環境溫度與濕度；
- 相同冷卻設備額定能力；
- 相同噪音或相同泵／風扇功率條件；
- 相同總外形限制；
- 相同量測方法。

若樓梯方案使用液冷而平面基線使用風冷，結果只能證明冷卻方式不同，不能證明幾何優越。

SECTION

10.5 成功門檻

第一輪不預設固定百分比，但應事先註冊判定規則。例如：

- 至少一個形狀在相同冷卻功率下顯著降低最熱模組溫度；
- 熱耦合矩陣的關鍵非對角項下降；
- 維修時間下降且不增加錯誤率；
- 互連能耗與延遲增加不超過預設容許值；

-
- 可靠度與機械測試沒有新增不可接受失效。

若只改善外觀或名義體積而無系統收益，應判定假說未成立。

SECTION

11.1 證據分級

E0：概念

- 幾何；
- 方程；
- 邊界；
- 失效模式；
- 可否證命題。

本文目前位於 E0。

E1：單物理模擬

- CFD；
- 熱網路；
- SI/PI；
- 結構；
- 單一條件。

E2：多物理共模擬

- 熱一流；
- 熱—機械；

-
- 電—熱；
 - 供電—熱；
 - 工作負載—熱。

E3：實驗台

- 加熱器；
- COTS 模組；
- 可重複幾何；
- 校準感測器；
- 公開原始資料。

E4：整合原型

- 真實運算負載；
- DPCPS；
- DryCore；
- 故障注入；
- 長時間運作。

E5：外部重現與產品資格

- 第三方測試；
- 多批次；
- 標準合規；
- 運輸與可靠度；
- 維修流程；

-
- 量產成本。

任何 TRL、量產與性能倍率都應建立在 E3 以上證據，不應由概念文件自行宣告。

SECTION

11.2 模擬最低要求

CFD 報告至少提供：

- 幾何檔或可重建尺寸；
- 網格獨立性；
- 邊界條件；
- 風扇曲線或泵曲線；
- 材料性質；
- 接觸熱阻；
- 輻射與湍流模型；
- 收斂條件；
- 基線；
- 實驗校準。

訊號完整性至少提供：

- 通道材料與層疊；
- 連接器模型；
- 頻率範圍；
- S 參數；
- 眼圖；

- BER；
- 抖動預算；
- 溫度與製造變異。

SECTION

11.3 可否證命題

H1：樓梯熱解耦

在相同模組、總體積與冷卻功率下，樓梯佈局可降低指定高功率模組間的熱耦合係數。

H2：服務性

在預定故障情境下，樓梯或扇區化環形佈局可降低模組更換與恢復時間。

H3：環形供應均勻性

在相同歧管與總流量下，經最佳化的環形分配可使各模組入口壓力與溫度變異低於基線。

H4：拓撲映射

對具有方向性 DAG 的工作負載，拓撲感知映射可降低資料搬移能耗或尾端延遲；對 collective-heavy 工作負載，此優勢可能消失。

H5：系統淨收益

幾何收益在納入互連、冷卻、框架、服務與控制成本後仍為正。

若 H5 不成立，SDMCA 應保留為服務性或特定場景設計，而不是性能架構。

SECTION

12.1 第一階段：幾何測試框架

建立可快速切換平面、樓梯與環形的開放式框架，使用加熱器與標準化模組介面。產品價值是：

- CFD 校準；
- 熱耦合量測；
- 冷板與歧管測試；
- 風道與污染測試；
- 互連與維修比較。

SECTION

12.2 第二階段：模組運算底座

使用 COTS CPU／GPU／FPGA 模組，提供：

- 統一機械接口；
- 模組電源遙測；
- 冷板快速接頭；
- 管理網路；
- 可更換背板；
- 故障隔離；
- 拓撲感知軟體。

SECTION

12.3 第三階段：開放模組規格

規格應至少定義：

- 外形與服務面；
- 功率等級；

-
- 冷卻介面；
 - 電氣與資料接口；
 - 管理與遙測；
 - 熱插拔定序；
 - 安全與故障行為；
 - 測試與合規；
 - 數位模型格式。

UCIe 處理封裝內 chiplet 互連；SDMCA 規格若成立，應聚焦封裝外模組與機箱，不重複定義 die-to-die PHY。

SECTION

12.4 第四階段：專用封裝協同

只有在機箱級原型證明幾何與控制確實有淨收益後，才值得進一步設計：

- 專用 SynCore 模組；
- 封裝內 DPCPS；
- DryCore 熱脊；
- 光電 I/O；
- 量身定制 chiplet；
- 封裝—模組—機箱聯合最佳化。

SECTION

13.1 樓梯不是過渡羞恥

樓梯形的價值不在於它「不夠未來」，而在於它可以把模組暴露於可維修面、減少堆疊拆裝依賴，並為熱路徑提供方向性。若它在公平實驗中優於更複雜螺旋，就應被視為最終產品，而不是過渡品。

SECTION

13.2 螺旋不是宇宙保證

自然界中的螺旋可由生長、角動量、最佳填充、材料應力與演化歷史形成。這些例子不能直接證明螺旋是處理器的最優形狀。

工程上應問：

- 它降低了哪一個成本？
- 它增加了哪一個自由度？
- 它是否比環形、多面柱或抽屜更好？
- 它的製造與維修是否可接受？

只有回答這些問題後，螺旋才從隱喻變成架構。

SECTION

13.3 幾何的真正地位

本文保留「形狀即約束」的觀點，但不採取「形狀即命運」的強斷言。更準確的表述是：

性能

=

F(

幾何,

互連,

材料,

功率,

冷卻,

控制,

軟體,

製造

).

幾何是函數中的重要變數，但不是單獨決定結果的充分條件。

SECTION

13.4 立體運算的工程意義

立體運算的真正革命，可能不是把所有電晶體堆成最高的塔，而是讓系統設計者可以在不同尺度自由選擇：

- 哪些功能應緊密堆疊；
- 哪些模組應保持距離；
- 哪些熱源應獨立冷卻；
- 哪些資料應留在本地；
- 哪些故障應被隔離；
- 哪些部件應可在數分鐘內更換。

這是一種從「最大密度」轉向「受約束的有效整合」的設計觀。

本文提出 SDMCA 空間解耦模組運算架構，將原始樓梯形與螺旋渦輪構想重構為跨封裝、模組、機箱與機櫃的熱—電—互連協同方法。

新版得到以下結論：

- 先進 2.5D／3D 封裝已經是產業現實，SDMCA 不應以產業仍停留在純平面為前提。
- 封裝內堆疊與機箱內幾何屬於不同尺度，不能用同一種 TSV、光刻與熱模型描述。
- 樓梯式佈局的主要價值是獨立服務面、方向性熱路徑與模組故障邊界。
- 環形佈局的主要價值是模組到中央供電、冷卻與交換脊椎的距離均衡。
- 真正螺旋只有在高度錯位、連續服務面或流道需求明確時才合理。
- 靜止螺旋外殼不會自動產生免費渦輪散熱；旋流需要外部壓升並付出能耗與壓降。
- 物理距離縮短不能直接換算成系統性能倍率，互連必須包含 PHY、序列化、retimer、交換、排隊與協定成本。

- 熱解耦必須由完整熱耦合矩陣驗證，而不是假設每個模組完全獨立。
- DPCPS、DryCore、DEO 與 SynCore 應作為同一系統的供電、冷卻、運作包絡與執行層，而不是彼此獨立的革命口號。
- 第一個 MVP 應使用相同模組與相同冷卻設備，公平比較平面、樓梯與環形佈局。
- 若幾何收益不能在互連、機械、維修與生命週期成本後保持為正，該形狀應被否證或限縮。
- 立體運算的目標不是最高的塔，而是最有效、可維修、可降級且可持續運作的空間整合。

本文目前不提供量產承諾與性能倍率。下一步是建立可重構測試框架、公開 CAD 與量測程序，取得第一組可重現的熱耦合、互連與服務性資料。

- Taiwan Semiconductor Manufacturing Company, CoWoS®, TSMC 3DFabric 官方技術頁面。
<https://3dfabric.tsmc.com/english/dedicatedFoundry/technology/cowos.htm>
- Taiwan Semiconductor Manufacturing Company, Heterogeneous Package-Level Integration and System-Technology Co-Optimization, VLSI Technology Symposium material, 2020.
<https://www.tsmc.com/static/english/campaign/VLSI2020/index.htm>
- Intel Foundry, Foveros Direct 3D Technology Brief, 2025.
<https://www.intel.com/content/dam/www/central-libraries/us/en/documents/2025-11/foveros-direct-3d-tech-brief.pdf>
- Intel Foundry, Advanced Packaging Innovations, including EMIB and Foveros Direct 3D.
<https://www.intel.com/content/www/us/en/foundry/packaging.html>
- UCle Consortium, UCle Specifications, including 2.0 support for 3D packaging and 3.0 evolution.
<https://www.uciexpress.org/specifications>
- UCle Consortium, UCle 2.0 Specification: Continuing Innovation to Drive an Open Chiplet Ecosystem, official white paper.
https://www.uciexpress.org/_files/ugd/0c1418_b6481ec611e24c6e91f1beb743b0c860.pdf
- Wang, Y. et al., Electrothermal co-optimization of 2.5D power distribution networks with thermal TSVs and chiplet placement, Scientific Reports, 2025.

<https://www.nature.com/articles/s41598-025-09914-y>

- Open Compute Project, Foundation Chiplet System Architecture, 2026.

<https://www.opencompute.org/documents/fcsa-1-0-0-pdf>

- Open Compute Project, Proposed Standardization of Chiplet Models for Heterogeneous Integration, emphasizing STCO, thermal and mechanical analysis.

<https://www.opencompute.org/chiplets/24/proposed-standardization-of-chiplet-models-for-heterogeneous-integration>

原始術語 v2.0 對應

塔形處理器 垂直堆疊或多層模組，需明確標示尺度

樓梯形處理器 樓梯式模組佈局

螺旋渦輪處理器 環形／螺旋式模組艙

斜向 TSV 模組級背板、線纜或光電互連

垂直蟲洞 週期拓撲、弦連接或中央交換

熱源並聯 降低熱耦合並提供獨立主要熱出口

12 倍總性能 移除；改以公平系統量測判定

200 倍機櫃密度 移除；改以有效算力密度與可用度判定

渦輪自然散熱 移除；旋流必須由風機或泵建立

絕熱資料中介層 熱—電—機械共同最佳化互連與支撐

2026 原型、2027 量產 移除；改採 E0–E5 證據分級

每次原型發布至少包含：

- CAD 與模組位置；
- 風道或液路圖；
- 冷卻設備曲線；
- 電源與互連配置；

-
- 感測器型號與校準；
 - 工作負載與韌體版本；
 - 原始時間序列；
 - CFD／FEA／SI 模型與邊界；
 - 故障注入程序；
 - 統計分析與失敗案例；
 - 維修操作影片或逐步紀錄；
 - 版本與內容指紋。

本文件版本：SDMCA v2.0

公開修訂日期：2026-07-29

證據層級：E0

下一個工程節點：可重構平面／樓梯／環形熱—互連測試框架