

分布式自適應近負載供電架構

v2.0 / 2026-07-29 / Neo.K（許筌崴） / 公開概念技術論文／可驗證架構提案

證據狀態：架構提案；尚未完成硬體原型與第三方實驗驗證

<https://thisoneisneok.com/html/papers/ccp-01.html>

SECTION

從中央供電、局部能量緩衝到預測式功率協同

Distributed Adaptive Point-of-Load Power Delivery Architecture

From Centralized Conversion and Local Energy Buffering to Predictive Power Coordination

作者：Neo.K（許筌崴）

機構：一言諾科技有限公司（EveMissLab），台灣

原始版本日期：2026 年 3 月 25 日

公開修訂版：v2.0，2026 年 7 月 29 日

文件性質：公開概念技術論文／可驗證架構提案

建議縮寫：DPCPS（Distributed Predictive and Coordinated Power System，分布式預測協同供電系統）

證據狀態：架構提案；尚未完成硬體原型與第三方實驗驗證

SECTION

修訂聲明

本文由 2026 年 3 月的《分布式脈衝電源架構：從中央供電到量子相位協同的計算範式革命》重構而來。原稿的重要直覺是：高效能計算負載具有強烈的時間變動性，供電系統不應只按照平均功率設計，而應在空間上更接近負載、在時間上更理解負載、在控制上更主動協同。

該直覺具有工程價值，但原稿混合了數個不同物理層級，並把尚未驗證的估算寫成實測或必然結果。v2.0 進行以下根本修正：

- 不再把 PSU 到處理器的電磁傳播時間解讀為「CPU 等待電源抵達」；真正的供電瓶頸改以功率傳輸網路阻抗、電壓下陷、寄生電感、瞬態電流與控制迴路頻寬描述。
- 不再主張供電節點能以量子波函數建設性干涉創造額外能量；多節點協同改為經典電力電子中的多相交錯、電流共享、相位啟停與空間負載配對。
- 不再要求電壓調節器跟隨數 GHz 的每一個 CPU 時鐘週期；供電響應改由晶片內、封裝、主板與調節器形成不同時間尺度的能量階層。
- 不再直接宣稱 IPC、時脈、功耗與散熱必然改善特定百分比；所有數字改列為待驗證目標、設計變數或驗收條件。
- 將「脈衝供電」重新定義為對負載瞬變、功率突波與工作負載階段的預測式響應，而不是將核心電壓週期性切斷。

因此，本文不是對原始想法的否定，而是把其中可成立的工程內核從錯誤機制中分離出來。

SECTION

摘要

現代 CPU、GPU、AI 加速器與高頻寬記憶體供電問題，已不只是提供足夠平均瓦數，而是要在極低電壓、極高電流與快速負載變化下維持電壓完整性。當負載電流於短時間內急遽變化時，電壓調節器無法單獨即時補足全部電流；供電網路必須依賴晶片內、封裝內、主板級去耦電容，以及不同層級調節器共同承擔。若功率傳輸路徑的等效電阻、電感或諧振過高，即使整體 PSU 額定功率充足，負載端仍可能發生電壓下陷、過衝、時脈降頻、錯誤或系統失穩。

本文提出分布式預測協同供電系統 DPCPS。其核心不是以量子干涉增強電場，也不是讓供電開關逐週期追蹤處理器時鐘，而是建立一個分層、近負載、可重組的功率傳輸網路：中央電源供應器或機櫃匯流排負責高效率傳輸總能量；板級與封裝級近負載調節器負責電壓轉換；局部電容與儲能元件承擔最快速瞬態；多相轉換器透過交錯相位降低輸入與輸出紋波；預測控制器利用工作負載計數器、排程器提示、功率狀態與感測器資料，提前配置調節相數、電壓目標與能量裕度。

本文提出五層架構：高壓或中壓總線、區域轉換、近負載轉換、局部能量緩衝、晶片功率管理；建立以目標阻抗、電壓下陷、轉換損耗、熱限制與穩定裕度為核心的數學模型；並設計從 SPICE／電磁共模擬、電子負載原型、FPGA 工作負載到封裝級整合的分階段驗證流程。DPCPS 的主要可檢驗假說是：在相同安全裕度下，空間分布式調節、負載感知相位啟停與預測式功率管理，可降低局部電壓偏差、減少過度設計的電壓護欄、提高中低負載轉換效率，並在部分工作負載中降低因供電或熱限制引起的降頻。

本文不宣稱 DPCPS 已經提高任何處理器的 IPC，也不宣稱它能在相同邏輯活動下憑空消除晶片發熱。其工程價值必須由可重現的電源完整性、效率、溫度、可靠性與應用性能實驗共同判定。

關鍵詞：功率傳輸網路、近負載調節器、分布式電源、多相轉換器、負載瞬變、目標阻抗、預測控制、垂直供電、AI 加速器、電源完整性

SECTION

1.1 從額定瓦數到負載端電壓完整性

傳統桌上型電腦的供電路徑可簡化為：

交流電網
→ PSU
→ 12V 或其他中間匯流排
→ 板級 VRM
→ 封裝與晶片 PDN
→ 電晶體

其中 PSU 的任務是高效率地將交流電轉換成系統可使用的直流匯流排；板級、封裝級或晶片內的電壓調節器則將匯流排電壓轉換成核心、快取、I/O、記憶體與其他電源域所需的低電壓。

在低電壓高功率系統中，負載電流約為：

$$I_{\text{(load)}} = (P_{\text{(load)}}) / (V_{\text{(load)}}).$$

當運算晶片在 0.8V 下消耗 400W 時，平均負載電流已達：

$$I_{\text{(load)}} = (400) / (0.8) = 500\text{A}.$$

這不代表單一導線中必然流過完整的 500A，但它揭示了封裝、凸塊、電源平面與調節器必須共同處理的電流密度尺度。此時，數毫歐姆的路徑阻抗也可能形成不可忽略的壓降：

$$\Delta V_R = I R.$$

若等效串聯電阻為 0.2mΩ，在 500A 下即形成：

$$\Delta V_R = 0.1V.$$

對 0.8V 核心電壓而言，這已是 12.5% 的偏差。因此，問題不是「PSU 有沒有足夠瓦數」，而是能量能否以可接受的阻抗、噪聲與熱代價到達實際開關中的電晶體。

SECTION

1.2 CPU 不會等待遠處的電抵達

原稿把 PSU 到 CPU 的傳播時間換算成多個處理器週期，進而推論 CPU 會等待供電訊號。這種描述不適用於穩態供電系統。

在正常運作時，電源傳輸網路已經儲存能量並建立電磁場；CPU 的快速負載變化首先由最接近負載的去耦電容與局部 PDN 響應，而不是每次都從 PSU 重新「發送一批電子」。遠端調節器隨後補充局部儲能元件所釋放的能量。

因此，真正需要分析的是頻率相依的供電阻抗：

$$Z_{\text{(PDN)}}(f) = (V(f)) / (I(f)),$$

以及它是否在負載關心的頻率範圍內低於目標阻抗：

$$Z_{\text{(target)}} = (\Delta V_{\text{(allow)}}) / (\Delta I_{\text{(step)}}).$$

例如，若系統容許的瞬態電壓偏差為 20mV，負載階躍為 100A，則目標阻抗為：

$$\begin{aligned} Z_{\text{(target)}} &= (20 \times 10^{-3}) / (100) \\ &= 0.2\text{m}\Omega. \end{aligned}$$

DPCPS 的第一個工程目標，就是讓不同空間與頻率層級的供電阻抗共同維持在此安全包絡內。

SECTION

1.3 負載瞬變的三個主要項

對快速電流變化，可用下式理解負載端電壓偏差的主要來源：

$$\begin{aligned} \Delta V(t) &\approx \\ &\Delta I(t)R_{eq} \\ &+ \\ &L_{eq}(dI(t))/dt \\ &+ \\ &(1/C_{eq}) \int_{-\infty}^t \Delta I(\tau) d\tau. \end{aligned}$$

三項分別代表：

- 電阻壓降：由導體、過孔、封裝與元件等效電阻造成。
- 電感壓降：由快速電流斜率與回路電感造成，常是高性能晶片瞬態問題的核心。
- 電容放電：當調節器尚未補足新負載時，去耦電容提供暫時電流，其電壓隨釋放電荷而下降。

縮短功率回路、增加垂直供電路徑、降低封裝電感、合理配置不同容量與等效串聯參數的電容，通常比討論遠端電源的純傳播延遲更有工程意義。

SECTION

1.4 不同時間尺度需要不同元件

高效能計算的供電不能由單一控制器涵蓋全部時間尺度。可建立下列概念分層：

時間尺度 主要供能／控制元件 主要任務

皮秒至數奈秒 晶片內電容、封裝寄生與局部金屬網路 吸收最陡峭的局部電流變化

數奈秒至數百奈秒 封裝去耦、矽中介層／基板電容 抑制高頻電壓下陷與諧振

數百奈秒至數十微秒 板級去耦、近負載調節器、數位 LDO 恢復局部電壓與分配電流

數十微秒至毫秒 多相 VRM、DVFS、時脈與功率閘控 調整電壓、相數與工作狀態

毫秒至秒 系統排程器、功率上限、散熱控制 平衡效能、溫度、可靠性與總功率

因此，DPCPS 不追求一個能在 5GHz 下切換數百安培的神奇電源。它追求的是讓各層元件在正確時間尺度承擔正確功能。

2.1 從「脈衝電源」改為「瞬態感知供電」

本文保留「脈衝」一詞所指向的動態直覺，但改變其工程含義。

處理器電源域通常需要維持連續且受控的電壓。若把供電直接週期性關閉，再依計算時刻重新開啟，可能導致資料錯誤、時序失效、電磁干擾與轉換損耗。因此，DPCPS 所處理的脈衝不是把核心電壓變成大幅方波，而是下列事件：

- 大量運算單元同時啟動造成的電流階躍；
- GPU 核心、張量單元、記憶體或 I/O 在不同階段形成的功率突波；
- 功率閘控區域喚醒時的湧入電流；
- DVFS 電壓狀態轉換；
- 多張加速卡同步工作造成的機櫃級功率變化；
- 工作負載由通訊、記憶體受限切換到計算受限時的功率譜改變。

因此更精確的名稱是：瞬態感知、負載預測、空間分布式的近負載供電系統。

2.2 「相位協同」的合法工程含義

相位在本文中只保留三種經典電力電子含義：

2.2.1 多相交錯

若一個降壓轉換器具有 N 個相位，每相開關訊號錯開：

$$\phi_k = (2\pi k)/(N), \quad k=0,1,\dots,N-1,$$

則各相電感電流的紋波可部分抵消，並將等效紋波頻率提升至接近 Nf_s 。這可降低單一元件承受的電流、輸出電容需求與熱點集中程度。

2.2.2 相位啟停

在低負載下，維持全部相位切換會造成不必要的閘極驅動與開關損耗。控制器可以關閉部分相位；當負載上升時再依需求啟動更多相位。這稱為 phase shedding 或 phase adding。

2.2.3 空間相位配置

當多個調節器分布於封裝或中介層不同位置時，控制器可選擇最接近局部負載的調節器優先供電，以降低橫向電流、導通損耗與局部壓降。此處的「相位」是轉換器通道與時序配置，不是電子波函數相干干涉。

SECTION

2.3 系統邊界

DPCPS 不主張：

- 供電節點能創造違反能量守恆的場強增益；
- 傳統直流供電有固定比例能量在「非計算時刻」被浪費；
- 電壓調節器可以逐 CPU 週期知道每一條指令的電流需求；
- 僅靠電源拓撲即可直接增加 IPC；
- 同一邏輯活動、同一電壓、同一頻率下，晶片動態功耗會因「相位匹配」自動消失；
- 傳統供電技術可直接移植為量子位元的相干控制系統。

DPCPS 主張的是較窄但可驗證的命題：更合理的空間配置、阻抗設計、相位管理、負載預測與跨層控制，可能減少供電護欄、轉換損耗與限制性電壓事件。

SECTION

3.1 L0：系統或機櫃級能源匯流排

L0 負責高效率、長距離或大功率的能量傳輸。依場景可採用：

- 消費型系統中的 12V 匯流排；

- 伺服器板卡中的 48V 匯流排；
- 機櫃或資料中心中的更高電壓直流匯流排；
- 搭配備援、電池或超級電容的能源緩衝層。

提高傳輸電壓可在相同功率下降低電流：

$$I_{(bus)} = (P) / (V_{(bus)}),$$

進而降低導通損耗：

$$P_{(cond)} = I_{(bus)}^2 R.$$

L0 不需要知道單一核心的瞬時活動；它應維持總能量、備援與安全邊界。

SECTION

3.2 L1：區域級電壓轉換

L1 將高壓匯流排轉換成適合板級或封裝級再轉換的中間電壓。其設計重點包括：

- 高轉換效率；
- 隔離需求；
- 熱分布；
- 故障區隔；
- 模組化替換；
- 與能源儲存元件整合。

在高功率加速卡中，L1 可位於板卡邊緣；在機櫃級設計中，也可由共享電源架或母線轉換模組承擔。

SECTION

3.3 L2：近負載多相調節器

L2 是 DPCPS 的主要空間分布層。它可部署於：

- CPU 或 GPU 插槽周邊；
- 加速卡背面；
- 封裝基板上；
- 矽中介層旁；
- 晶片上方或背面供電結構；
- 3D 堆疊中的專用 power die。

每個 L2 調節器不必獨立服務一顆完整晶片，而可對應到局部功率島，例如：

$$\begin{aligned} \text{cal-D} \\ = \\ \{D_{\text{(CPU)}}, D_{\text{(GPU)}}, D_{\text{(HBM)}}, D_{\text{(IO)}}, D_{\text{(NPU)}}\}. \end{aligned}$$

對第 i 個功率島，局部調節器集合記為：

$$\text{cal-R}_i = \{R_{(i1)}, R_{(i2)}, \dots, R_{(im_i)}\}.$$

控制器依負載、效率與溫度選擇啟用子集：

$$\text{cal-A}_i(t) \subseteq \text{cal-R}_i.$$

這使供電系統從固定相數轉向可重組相數，並允許局部故障降級。

SECTION

3.4 L3：局部能量緩衝

L3 由不同尺度的去耦電容、封裝電容、矽電容、可能的超級電容或其他儲能元件構成。其核心任務是填補調節器控制迴路來不及響應的時間窗口。

電容可提供的暫態電流與允許壓降近似滿足：

$$C_{\text{req}} \geq (\Delta I \Delta t) / (\Delta V_{\text{allow}}).$$

若需在 1textmu s 內支援額外 50A，且容許壓降為 20mV，理想電容下至少需要：

$$C_{\text{req}} \geq (50 \times 10^{-6}) / (20 \times 10^{-3}) = 2.5\text{mF}.$$

實際設計還必須考慮有效電容衰減、ESR、ESL、溫度、偏壓與封裝位置，因此不能只依名目容量選型。

SECTION

3.5 L4：晶片內功率管理

L4 包含：

- 動態電壓頻率調整；
- 時脈閘控與功率閘控；
- 每核心或每區域功率限制；
- droop detector；
- on-die LDO／數位 LDO；
- 工作負載計數器；
- 熱感測器；
- 可靠性監測。

DPCPS 的關鍵不是取代 L4，而是讓 L2、L3 與 L4 交換更有意義的訊號。例如，晶片可提前通告某個張量運算陣列即將喚醒，板級控制器則預先增加有效相數或提高局部能量裕度。

4.1 多節點功率流

設系統包含 M 個調節節點與 N 個負載區域。令：

- $p_i(t)$ ：第 i 個負載功率；
- $x_{(ji)}(t)$ ：節點 j 向負載 i 提供的功率；
- $\eta_j(x)$ ：節點 j 在輸出 x 下的轉換效率；
- $r_{(ji)}$ ：節點 j 到負載 i 的等效電阻；
- $\ell_{(ji)}$ ：等效回路電感。

功率平衡條件為：

$$\sum_{(j=1)}^M x_{(ji)}(t) = p_i(t) + p_{(\text{loss},i)}(t).$$

導通損耗可近似為：

$$\begin{aligned} P_{(\text{wire})}(t) &= \\ &= \sum_{(j=1)}^M \sum_{(i=1)}^N \\ &= I_{(ji)}^2(t) r_{(ji)}. \end{aligned}$$

轉換損耗為：

$$\begin{aligned} P_{(\text{conv})}(t) &= \\ &= \sum_{(j=1)}^M \\ &= ((x_i(t))/(\eta_j(x_i(t)))) - x_i(t). \end{aligned}$$

DPCPS 的空間調度目標之一，是在滿足電壓與電流限制下，讓靠近負載且處於高效率區間的節點承擔較多功率。

4.2 多目標最佳化

可定義控制代價：

$$\begin{aligned}
 J &= \int_0^T \left[\alpha P_{\text{(loss)}}(t) + \beta |V(t) - V_{\text{(ref)}}(t)|^2 + \gamma |\nabla T(t)|^2 + \delta C_{\text{(switch)}}(t) + \varepsilon C_{\text{(risk)}}(t) \right] dt.
 \end{aligned}$$

其中：

- $P_{\text{(loss)}}$ ：導通、開關、磁性元件與控制損耗；
- 電壓誤差項：抑制下陷與過衝；
- 溫度梯度項：避免單一調節節點形成熱點；
- $C_{\text{(switch)}}$ ：頻繁相位啟停、電壓轉換與模式切換成本；
- $C_{\text{(risk)}}$ ：穩定裕度、元件壽命與故障風險懲罰。

控制問題不是單純最小化平均瓦數，而是在效率、瞬態、熱、可靠性與性能之間尋找安全可行解。

4.3 預測負載

令控制器可觀測狀態為：

$$s_{\square} = [I_{\square}, V_{\square}, T_{\square}, f_{\square}, u_{\square}, q_{\square}, h_{\square}]$$

其中可包含電流、電壓、溫度、時脈、單元利用率、排程佇列與歷史負載。

對未來 H 個控制步驟預測：

$$\hat{a}_{tp_}(t+1:t+H) = F_{\square}(\theta)(s_{\square}(t-L+1:t)),$$

再以模型預測控制求解：

$$\min_{\square}(a_{\square}(t:t+H-1)) J$$

並僅執行第一個安全動作，之後重新量測與滾動最佳化。

預測可以降低控制延遲的影響，但不應被當成無條件可信。當模型不確定性超過門檻時，系統應回退到保守的規則控制器。

SECTION

4.4 效率曲線與相位啟停

對多相轉換器，啟用相數 n 不宜固定。可將每相損耗簡化為：

$$\begin{aligned} P_{\square}(\phi) &= P_{\square}(\text{gate}) \\ &+ P_{\square}(\text{switch}) \\ &+ I_{\square}(\phi)^2 R_{\square}(\phi) \\ &+ P_{\square}(\text{mag}). \end{aligned}$$

在輕載時，增加相數會降低單相導通損耗，但增加閘極驅動與開關損耗；在重載時，相數過少又會造成過高電流與溫升。因此存在負載相依的最適相數：

$$\begin{aligned} n^{*}(P,T,V) \\ = \\ \operatorname{argmin}_{n} P_{\text{loss}}(n;P,T,V). \end{aligned}$$

這是原始「分布式脈衝節點」最接近現有工程且最值得發展的形式之一。

SECTION

5.1 控制器分層

DPCPS 控制器分為三層：

快速保護層

由類比或高速數位電路實現，處理：

- 過流；
- 過壓／欠壓；
- 相位電流不平衡；
- 電感飽和；
- 快速 droop；
- 熱失控。

此層不依賴 AI，並擁有最高控制權。

確定性調節層

由數位控制器、PID、狀態空間控制或模型預測控制實現，處理：

- 參考電壓追蹤；
- 相數啟停；

-
- 電流共享；
 - 模式切換；
 - 穩定裕度；
 - 負載階躍響應。

預測與系統協同層

利用工作負載與系統遙測執行較慢速決策：

- 預測即將到來的功率階段；
- 協調 CPU、GPU、HBM 與網路功率預算；
- 向排程器提出功率或熱限制；
- 選擇效率優先、性能優先或可靠性優先策略；
- 在資料中心層級平滑多節點同步功率突波。

SECTION

5.2 為何不直接使用線上 DQN 控制電壓

原稿建議以深度 Q 網路在線調整相位。對安全關鍵的電壓調節器而言，未受約束的探索可能造成危險動作，因此不宜讓一般強化學習直接控制功率開關。

較安全的方案是：

- 以 SPICE、電磁與熱模型建立數位分身；
- 在離線環境訓練負載預測或策略模型；
- 以控制屏障函數、動作遮罩或顯式約束限制輸出；
- 實機上只允許策略在已認證的控制包絡內調整；
- 任何異常立即回退到確定性控制器。

策略輸出可限制為：

```
ag =  
[n_(phase), V_(target), P_(cap), m_(mode)],
```

而不是直接輸出每一個功率電晶體的閘極波形。

SECTION

5.3 工作負載提示介面

若要使預測真正優於純回授控制，硬體與軟體可交換有限度提示：

- 未來數十微秒內預計啟用的執行單元比例；
- 記憶體讀寫突發長度；
- 預計 DVFS 轉換；
- 核心或加速器喚醒事件；
- 通訊與計算階段邊界；
- 可延遲或可降速工作的優先級。

提示不必暴露完整指令流，也不需要預測每一個時鐘週期。它只需在調節器可響應的時間尺度上提供比純電流感測更早的訊號。

SECTION

5.4 安全狀態機

DPCPS 至少應定義：

- S0 保守模式：所有必要相位啟用，固定安全電壓；
- S1 效率模式：允許相位啟停與電壓最佳化；
- S2 預測模式：使用工作負載提示預先配置；

- S3 降級模式：節點失效後重新分配負載；
- S4 緊急模式：限制時脈、關閉功率島或切斷輸出。

任何 AI 模組失效時，系統必須能獨立回到 S0 或 S3。

SECTION

6.1 路徑 A：板級分布式近負載模組

第一階段不必改造處理器封裝，可在 FPGA、加速卡或自製測試板上部署多個板級 PoL 模組。

建議原型：

- 輸入：12V 或 48V；
- 輸出：0.8–1.2V；
- 單模組電流：20–50A；
- 模組數：2–8；
- 開關頻率：依元件、效率與磁性元件設計選擇，不預設 GHz 級；
- 控制：FPGA／MCU 加高速保護電路；
- 負載：可程式電子負載與 FPGA 工作負載雙軌測試。

此階段要驗證的不是 IPC，而是：

- 並聯電流共享；
- 相位啟停效率；
- 階躍負載下的 droop／overshoot；
- 模組間穩定性；
- 電磁干擾；
- 故障隔離；

- 溫度分布。

SECTION

6.2 路徑 B：垂直或背面供電

當功率密度進一步上升，板級橫向輸電可能成為瓶頸。可研究：

- 封裝背面的電壓調節器；
- 穿透基板或中介層的垂直供電；
- power die 與 compute die 堆疊；
- 封裝內耦合電感與矽電容；
- 背面電源網路；
- 高壓直達封裝後再局部降壓。

垂直供電的主要價值是縮短高電流低電壓路徑，而不是縮短「電從 PSU 出發的等待時間」。它同時帶來新的熱、製造、機械應力、磁性元件與維修挑戰。

SECTION

6.3 路徑 C：晶片內整合調節器

完全整合或部分整合的電壓調節器可提供細粒度電源域與較快響應，但也面臨：

- 轉換效率與晶片面積權衡；
- 電感或電容整合困難；
- 轉換熱直接進入封裝；
- 製程元件耐壓限制；
- 雜訊耦合；
- 不同負載區間效率變化。

因此，DPCPS 不假設「越靠近一定越好」。每一級轉換位置都必須共同最佳化功率密度、損耗、散熱與成本。

SECTION

6.4 路徑 D：機櫃級功率協同

多張 GPU 同步執行 collective communication、checkpoint 或訓練階段切換時，可能形成機櫃級快速負載變化。DPCPS 可向上擴展為：

- 機櫃級電池／超級電容緩衝；
- GPU 任務錯峰；
- 通訊與計算階段功率平滑；
- 電源模組負載共享；
- 與冷卻能力協同的功率上限；
- 對電網或 UPS 的功率斜率限制。

這一層的「分布式脈衝」是工作負載與能源緩衝的協調，而不是晶片時鐘相位控制。

SECTION

7.1 驗證原則

DPCPS 必須以「供電指標 → 晶片狀態 → 應用性能」的因果鏈驗證，不能只量測某一點溫度後推論整體算力改善。

所有結果應標記為：

- M：直接量測；
- S：經校準模型或模擬；
- E：分析估算；
- T：設計目標；

-
- H：待驗證假說。

SECTION

7.2 V0：模型與仿真

電氣模型

- 開關轉換器 SPICE；
- 封裝與主板 S 參數；
- 去耦電容偏壓與溫度模型；
- 目標阻抗掃描；
- 負載電流 PWL 模型；
- 穩定性與 Middlebrook 類分析；
- 蒙地卡羅元件容差。

熱模型

- 調節器與處理器共熱；
- 板上熱點與風道；
- 垂直堆疊中的熱阻；
- 不同相位啟用策略的溫度分布。

驗收

- 模型必須由阻抗分析儀、示波器與熱像量測校準；
- 不接受只使用理想電容、理想開關與固定效率的結論。

SECTION

7.3 V1：電子負載原型

使用可重現的電流階躍：

$$I(t) = I_{\text{avg}} + \Delta I u(t - t_{\text{start}})$$

測量：

- 最低電壓；
- 最大過衝；
- settling time；
- 相位電流平衡；
- 不同負載下效率；
- 控制迴路穩定性；
- EMI；
- 元件溫度。

比較至少三種配置：

- 傳統集中多相 VRM；
- 相同元件總量的空間分布式 VRM；
- 分布式 VRM 加預測／相位啟停控制。

如此才能區分「多放幾顆元件」與「控制架構」本身的貢獻。

SECTION

7.4 V2：FPGA 工作負載

FPGA 可建立可控制的負載模式：

- 同步切換大量邏輯；
- BRAM／DSP 階段切換；
- 可調 duty cycle；
- 記憶體與運算交替；
- 偽隨機負載；
- 已知未來階段的工作負載提示。

主要問題是：預測提示是否能在相同電壓偏差限制下，降低護欄或提高效率？

可測量：

$$\begin{aligned} G_{\text{(prediction)}} \\ = \\ \text{frac} J_{\text{(feedback)}} - J_{\text{(predictive)}} \\ J_{\text{(feedback)}}. \end{aligned}$$

若 $G_{\text{(prediction)}} \leq 0$ ，代表預測控制沒有帶來淨收益。

SECTION

7.5 V3：真實加速器的非侵入式觀測

在無法修改 GPU 核心供電的情況下，可先研究：

- 板卡輸入功率；
- VRM 遙測；
- 時脈、溫度與 throttling；
- 工作負載階段；
- 輸入端功率斜率；

- 不同功率上限與 undervolting 策略。

此階段的目標是建立負載預測模型與功率譜，不應宣稱已驗證封裝級 DPCPS。

SECTION

7.6 V4：封裝級研究載具

最終需要與晶片、封裝或功率電子研究單位合作，製作：

- 多區域 dummy die；
- 可程式局部熱源；
- 封裝內電流感測；
- 多位置 PoL；
- 垂直供電與橫向供電對照；
- 故障注入。

只有到這一階段，才能真正判斷 DPCPS 在高電流密度封裝中的價值。

SECTION

7.7 建議的量化門檻

下列不是成果，而是可供原型設定的初始目標：

指標 初始驗收方向

電壓最低值 不超出負載資料表允許範圍

過衝 不觸發可靠性或保護限制

恢復時間 優於等元件成本的集中式基線

低負載效率 相位啟停後顯著優於全相位常開

峰值效率 不因過度分散而低於集中式基線

溫度 無單一調節器形成不可接受熱點

EMI 通過既定板級或系統級限制

故障 單節點失效後可安全降級

應用性能 僅在確認減少 throttling 或提高可用時脈後計入

SECTION

8.1 供電改善不等於邏輯功耗消失

CMOS 動態功耗常以：

$$P_{\text{dyn}} = \alpha C V^2 f$$

近似，其中 α 是切換活動率。若運算量、電壓與頻率完全相同，僅改變外部供電拓撲不會讓此項憑空消失。

DPCPS 可能降低的主要項目包括：

- 匯流排與供電平面的 I^2R 損耗；
- 轉換器在特定負載區間的損耗；
- 為防止 droop 而設定的過高電壓護欄；
- 不必要的全相位切換；
- 局部電壓偏差引起的性能限制；
- 功率管理反應不及造成的降頻；
- 供電熱點對整體散熱系統的額外負擔。

因此，較合理的能量鏈為：

更低 PDN 阻抗／更佳控制

→

較小電壓護欄或轉換損耗

→

較低總輸入功率或較少降頻

→

每一個箭頭都需要實驗證據。

SECTION

8.2 溫度效益的來源

若供電轉換損耗由 $P_{(VR,0)}$ 降至 $P_{(VR,1)}$ ，熱負載差為：

$$\begin{aligned}\Delta P_{(thermal)} \\ &= P_{(VR,0)} - P_{(VR,1)}.\end{aligned}$$

這部分可能改善主板、封裝周邊與冷卻入口溫度。但若 DPCPS 讓晶片在較高時脈下執行更多工作，晶片邏輯功耗可能反而上升。故應同時報告：

- 每瓦性能；
- 固定性能下功率；
- 固定功率下性能；
- VRM 溫度；
- 晶片結溫；
- 冷卻系統功率；
- 完成單位工作量的總能量。

最終指標應是：

$$\begin{aligned}E_{(task)} \\ &= \int \exp(T_{(task)}) P_{(system)}(t) dt,\end{aligned}$$

而不是只比較瞬時峰值瓦數。

SECTION

8.3 資料中心效益不能只由晶片溫度外推

PUE 定義為：

PUE

$$=(P_{\text{facility}})/(P_{\text{IT}}).$$

供電改良若降低 IT 設備輸入功率，可能同步降低冷卻需求；但 PUE 也受氣候、冷卻方式、備援、配電、利用率與設施設計影響。不能從單顆晶片降溫直接推論整座資料中心冷卻功率下降固定比例。

DPCPS 的資料中心商業案例應以實測或數位分身計算：

TCO

=

$C_{\text{(hardware)}}$

$+C_{\text{(energy)}}$

$+C_{\text{(cooling)}}$

$+C_{\text{(maintenance)}}$

$+C_{\text{(downtime)}}$

$-C_{\text{(reuse)}}$.

並至少比較：

- 新建系統；
- 現有系統改造；
- 僅調整軟體功率管理；
- 更換高效率 PSU／VRM；
- DPCPS 全方案。

SECTION

8.4 性能收益的合法來源

電源系統本身不改變指令依賴，因此不能直接提高 IPC。性能改善只能經由下列機制：

- 減少電壓 droop 導致的 clock stretching；

- 減少電源或熱保護降頻；
- 允許在同一可靠性限制下使用較低電壓；
- 在固定功率上限內把更多功率分配給有效運算單元；
- 降低系統級功率突波，避免機櫃或設施限制。

因此應把性能結果寫成：

$$\begin{aligned} \Delta \text{Perf} \\ = \\ \Delta \text{Perf}_{\text{(droop)}} \\ + \\ \Delta \text{Perf}_{\text{(thermal)}} \\ + \\ \Delta \text{Perf}_{\text{(budget)}} \\ + \\ \Delta \text{Perf}_{\text{(scheduling)}}, \end{aligned}$$

並透過對照實驗分解，而不是將所有改善歸因於「相位匹配」。

SECTION

9.1 DPCPS 不是從零開始

DPCPS 與下列既有方向高度相關：

- 多相 VRM；
- point-of-load regulators；
- fully integrated voltage regulators；
- digital LDO；
- phase shedding；
- adaptive voltage scaling；

- package-embedded magnetics ；
- vertical power delivery ；
- backside power delivery ；
- workload-aware DVFS ；
- data-center energy storage 與 power capping 。

其潛在新意不在於宣稱「第一次把電源靠近晶片」，而在於嘗試把這些技術統一為跨時間尺度、跨空間位置、跨硬體軟體層的協同框架。

SECTION

9.2 與整合式電壓調節器的差異

整合式調節器強調將轉換功能放入封裝或晶片，以縮短供電路徑與提高電源域細粒度。DPCPS 則把整合式調節器視為可選節點之一，並進一步研究：

- 多個節點如何分工；
- 不同位置節點如何選擇；
- 工作負載提示如何提前配置；
- 故障時如何重組；
- 板、封裝與晶片之間如何交換功率狀態。

SECTION

9.3 與垂直供電的差異

垂直供電主要改變能量進入封裝或晶片的幾何路徑。DPCPS 在此基礎上再加入負載感知控制與區域化功率分配。兩者可組合，但 DPCPS 並不以垂直供電為必要條件。

SECTION

9.4 與量子控制的區隔

超導、離子阱或其他量子位元確實需要精密的微波、射頻或雷射相位控制，但該相位描述的是量子態操控訊號；處理器電源多相轉換器的相位描述的是功率開關時序。兩者可共享部分控制、時鐘或校準方法論，但不能因名稱相同就視為可直接移植的同一技術。

因此，量子計算不再列為 DPCPS 的直接性能論證。未來若研究低雜訊偏壓、低溫電源或量子控制電子學，應另立獨立子計畫。

本文將核心主張收斂為下列假說。

SECTION

H1：空間局部性假說

在相同元件面積與成本約束下，將部分調節與儲能元件更接近局部負載，可降低關鍵頻段的 PDN 阻抗與負載階躍電壓偏差。

SECTION

H2：負載感知相數假說

相較於固定相數，多相轉換器依負載與溫度動態啟停相位，可提高中低負載效率，且不顯著惡化輸出紋波與瞬態響應。

SECTION

H3：預測提示假說

若工作負載提示的預測提前量大於控制與致動延遲，且預測誤差低於門檻，預測式控制可比純回授控制降低電壓偏差或安全護欄。

可表為：

$$\begin{aligned} & \tau_{\text{(lookahead)}} \\ & > \\ & \tau_{\text{(sense)}} \\ & + \\ & \tau_{\text{(compute)}} \\ & + \\ & \tau_{\text{(actuate)}}. \end{aligned}$$

SECTION

H4：可重組供電假說

當局部調節節點具備故障隔離與電流重分配能力時，系統可在單節點失效後維持降級服務，而不需立即關機。

SECTION

H5：跨層能源假說

將應用排程、晶片功率狀態與物理供電控制共同最佳化，可降低單位任務總能量；但收益取決於工作負載可預測性與軟硬體介面成本。

SECTION

H6：熱協同假說

分散調節器可能降低單點 VRM 熱點，但也可能增加封裝周邊總熱密度。只有電熱共同最佳化，才能判斷分散化是否優於集中化。

這些假說允許結果為否。若實驗證明分散化的額外開關、磁性元件與控制成本高於局部性收益，DPCPS 應縮小適用範圍，而不是改寫評量標準。

SECTION

11.1 穩定性風險

多個調節器並聯可能形成控制迴路互相作用、電流搶奪、低頻振盪或負阻抗效應。任何並聯架構都必須完成小訊號與大訊號穩定性分析。

SECTION

11.2 EMI 風險

增加轉換器數量與開關節點可能提高傳導與輻射干擾。相位交錯可降低部分紋波，但也可能在其他頻段形成尖峰。必須以頻譜與實際法規量測判定。

SECTION

11.3 熱與面積成本

調節器靠近晶片可降低電氣路徑，卻會把功率轉換損耗放進最難散熱的區域。對 3D 封裝而言，這可能比板級損耗更嚴重。

SECTION

11.4 預測失誤

若預測模型低估負載，可能增加 droop；若長期高估，則喪失效率。控制器必須對預測誤差有明確安全裕度。

SECTION

11.5 軟硬體介面成本

工作負載提示需要處理器、韌體、作業系統、驅動程式與電源控制器合作。若介面過度複雜，部署成本可能高於收益。

SECTION

11.6 安全與攻擊面

若軟體可影響供電策略，惡意工作負載可能誘發功率震盪、熱點或壽命消耗。提示介面必須驗證、限速、隔離並可被硬體保護層覆寫。

DPCPS 的有效核心可以用下式概括：

【高效率總線

+

近負載轉換

+

分層儲能

+

多相協同

+

它不依賴量子干涉，不要求電源逐時鐘追蹤處理器，也不承諾固定比例的性能或散熱奇蹟。它提出的是一個更務實的計算能源觀：高效能運算的供電應被視為具有空間拓撲、時間尺度、控制狀態與軟硬體介面的動態系統。

原始命題「電源應更接近負載，並理解計算何時需要能量」仍然成立；但其正確實作不是讓遠方的電更快抵達，而是讓正確層級的能量已經位於正確位置，並在負載變化前後以可控、可量測、可回退的方式協同。

本文的下一步不是宣告革命完成，而是製作一個可重現的多節點 PoL 原型，公開電路、模型、負載波形、量測方法、失敗結果與證據帳本。只有當它在等成本、等安全限制的基線下持續改善供電完整性或單位任務能量，DPCPS 才能從概念架構成為工程技術。

原始主張 v2.0 處置

PSU 距離造成 CPU 等待多個時鐘週期 刪除；改為 PDN 阻抗與瞬態分析

本地節點把延遲由 2 ns 降至 0.1 ns 刪除固定數字；改量測回路電感與 droop

供電頻率與 5 GHz CPU 時鐘同步 刪除；調節器依自身最適開關頻率工作

多節點量子建設性干涉使能量增強 刪除；改為經典多相交錯與電流共享

DC 在非計算時刻浪費 50% 能量 刪除；依實際負載與轉換效率計算

脈衝供電降低閒置漏電 70% 改由 power gating／DVFS／低功耗狀態討論

IPC 直接提升 20% 刪除；供電僅能間接減少 throttling 等限制

功耗固定降低 25%–35% 改為待驗證目標，不預設結果

溫度固定降低 20°C 刪除；要求電熱共模擬與實測

冷卻功率與溫差立方成正比 刪除；以具體冷卻系統 COP／PUE 模型計算

可直接橋接量子位元相位控制 移出核心架構；列為不同物理領域

FPGA 原型已可達特定 TFLOPS 與功耗 改為驗證計畫，不冒充實驗成果

SECTION

B.1 研究問題

在相同總 MOSFET 面積、磁性元件體積與輸出電容成本下，兩個空間分布式 PoL 模組是否比單一集中式模組具有更好的負載階躍響應或部分負載效率？

SECTION

B.2 基本配置

- 輸入：12V；
- 輸出：1.0V；
- 峰值負載：40A；
- 基線：單一四相 buck；
- DPCPS：兩個雙相 buck，分置於兩個負載區；
- 負載：兩組可獨立控制的電子負載／FPGA 功率島；
- 感測：差動電壓探棒、電流探棒、熱像、近場 EMI 探棒；
- 控制：固定相位、負載感知 phase shedding、預測提示三種模式。

SECTION

B.3 必須公開的資料

- 原理圖與 PCB 主要參數；
- 元件型號與模型；
- 量測探棒位置；
- 負載波形；
- 原始示波器資料；
- 效率計算方法；
- 控制程式；
- 失敗與不穩定案例；

-
- 與基線的等成本說明。

以下資料用於校正本修訂版的工程邊界；它們不構成 DPCPS 已被驗證的證據。

- Intel, Fully Integrated Voltage Regulator (FIVR), processor datasheet documentation.
- Intel Labs, Intel Labs Contributes Key Technologies to New Intel Core Ultra Processor, 2023.
- AMD/Xilinx, UltraScale Architecture PCB Design User Guide (UG583), power distribution and transient guidance.
- AMD/Xilinx, Virtex-5 FPGA PCB Designer's Guide (UG203), local decoupling and transient energy guidance.
- J. Haj-Yahya et al., FlexWatts: A Power- and Workload-Aware Hybrid Power Delivery Network for Energy-Efficient Microprocessors, IEEE/ACM MICRO, 2020.
- S. Krishnakumar et al., Vertical Power Delivery for Emerging Packaging and Integration Platforms, 2023.
- J. Baek et al., Vertical Stacked LEGO-PoL CPU Voltage Regulator, IEEE Transactions on Power Electronics, 2022.
- Y. Elasser et al., Mini-LEGO CPU Voltage Regulator, IEEE Transactions on Power Electronics, 2023.
- S. Krishnakumar and I. Partin-Vaisband, Dynamic Power Management Methodology for Distributed Vertical Power Delivery in High-Performance Computing Systems, 2026.
- R. Rasheedi et al., Package-Embedded Coupled Inductor Arrays for High-Performance Computing Power Delivery, 2026.
- J. L. Fasig et al., Introduction to Non-Invasive Current Estimation (NICE), 2023.
- S. Ahasan et al., Digital LDO with Time-Interleaved Comparators for Fast Response and Low Ripple, 2015.
- AI Load Dynamics—A Power Electronics Perspective, 2025.
- Google, Data Center Efficiency: Power Usage Effectiveness, fleet-wide reporting.

版本終止標記：EML-DPCPS-2026-v2.0-public

內容狀態：可公開；所有性能與效率數字均須經原型或第三方實驗後另行更新。